

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-013803

(43)Date of publication of application : 22.01.1993

(51)Int.Cl.

H01L 31/10

H01L 21/76

H01L 31/02

(21)Application number : 03-184164

(71)Applicant : CANON INC

(22)Date of filing : 28.06.1991

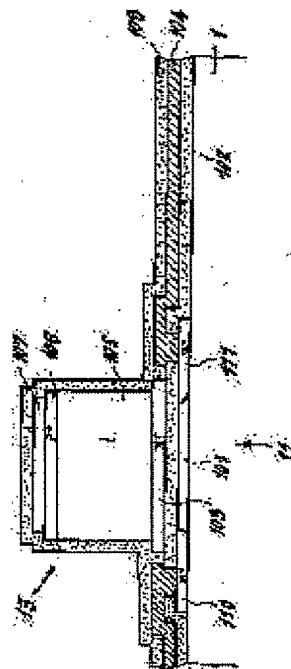
(72)Inventor : YAMADA KATSUHIKO
 GOFUKU IHACHIROU

(54) PHOTOELECTRIC TRANSFER DEVICE

(57)Abstract:

PURPOSE: To obtain photoelectric transfer characteristics optimum for high density picture image reading further avoiding deterioration of the characteristics due to element isolation.

CONSTITUTION: Within the title photoelectric transfer device, a photoelectric transfer element part 13 and an amplifier element part 11 amplifying signals from the element part 13 are provided on a substrate 1; the photoelectric transfer element part 13 contains a photodiode as a photoelectric transfer layer; the amplifier element part 11 is composed of a MIS type transistor while the element part 13 is arranged on the element part 11; furthermore, the gate electrode layer 103 of the MIS type transistor in the amplifier element part 11 is commonly used as the lower electrode layer 103 of the photodiode in the photoelectric transfer element part 13. At this time, a doped layer 106 extends farther than an upper electrode layer 107 seen from the normal direction to the substrate 1 surface in the photoelectric transfer element part 13. On the other hand, 110 and 111 respectively represent a source electrode layer and a drain electrode layer.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-13803

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 31/10				
21/76	D	9169-4M		
31/02				
		8422-4M	H 0 1 L 31/ 10	A
		7210-4M	31/ 02	A
			審査請求 未請求 請求項の数7(全 8 頁)	

(21)出願番号 特願平3-184164

(22)出願日 平成3年(1991)6月28日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 山田 克彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 五福 伊八郎

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

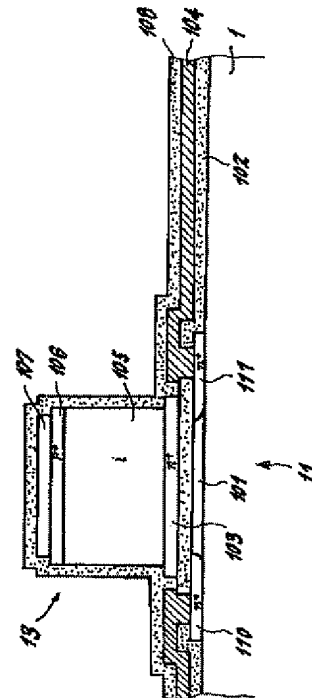
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 光電変換装置

(57)【要約】

【目的】 高密度画像読取りに好適な光電変換特性を得る。更に、素子分離に基づく特性劣化を防止する。

【構成】 基板1上に光電変換素子部13と該光電変換素子部からの信号を増幅する増幅素子部11とを有し、上記光電変換素子部13がフォトダイオードを光電変換層として含んでおり、上記増幅素子部11がMIS型トランジスタからなり、上記光電変換素子部13が増幅素子部11上に配置されており、しかも該増幅素子部11のMIS型トランジスタのゲート電極層103と上記光電変換部のフォトダイオードの下部電極層103とが共通化されている。光電変換素子部13にてドーピング層106が基板面法線方向からみて上部電極層107よりも外側まで張出している。1は絶縁基板であり、110はソース電極層であり、111はドレイン電極層である。



【特許請求の範囲】

【請求項1】 基板上に複数の光電変換素子部を有し該光電変換素子部がフォトダイオードを光電変換層として含んでいる光電変換装置において、基板上の下部電極層と該下部電極層上の光電変換層の少なくとも一部とが複数の光電変換素子部について共通化されており、該光電変換層がドーピング層を含み、該ドーピング層上に上部電極層が形成されており、これらドーピング層及び上部電極層が光電変換素子部ごとに個別化されており、且つ各光電変換素子部にて上記ドーピング層が基板面法線方向からみて上記上部電極層よりも外側まで張出していることを特徴とする光電変換装置。

【請求項2】 上記フォトダイオードの光電変換層が非晶質半導体からなることを特徴とする、請求項1に記載の光電変換装置。

【請求項3】 上記フォトダイオードがpin構造であることを特徴とする、請求項1に記載の光電変換装置。

【請求項4】 基板上に光電変換素子部と該光電変換素子部からの信号を増幅する増幅素子部とを有し且つ上記光電変換素子部がフォトダイオードを光電変換層として含んでおり上記増幅素子部がMIS型トランジスタからなる光電変換装置において、上記光電変換素子部が増幅素子部上に配置されており、しかも該増幅素子部のMIS型トランジスタのゲート電極層と上記光電変換部のフォトダイオードの下部電極層とが共通化されていることを特徴とする光電変換装置。

【請求項5】 上記光電変換素子部と増幅素子部との組が複数設けられており、上記フォトダイオードの光電変換層及び上部電極層が複数の光電変換素子部について共通化されていることを特徴とする、請求項4に記載の光電変換装置。

【請求項6】 上記MIS型トランジスタのゲート電極層がn型多結晶半導体からなり、上記フォトダイオードの光電変換層がi型非単結晶半導体層と該i型非単結晶半導体層上のp型非単結晶半導体層とからなることを特徴とする、請求項4に記載の光電変換装置。

【請求項7】 上記MIS型トランジスタのゲート電極層がp型多結晶半導体からなり、上記フォトダイオードの光電変換層がi型非単結晶半導体層と該i型非単結晶半導体層上のn型非単結晶半導体層とからなることを特徴とする、請求項4に記載の光電変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の光電変換素子部を配列してなる光電変換装置に関し、特に高密度画像読取りのため光電変換素子部を微小化する際に有効な素子分離及び素子構成に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】ファクシミリやイメージリーダ等の等倍画像読取り用の密着型

ラインセンサは、A4版原稿読取りの場合、210mm以上の長さが必要であるため、ウエハプロセスでは作製困難である。このため、密着型ラインセンサの受光部（光電変換素子部）としては、大面積にわたって成膜が可能であり良好な光電変換特性を有する非晶質シリコンを用いたものが好適である。

【0003】非晶質シリコンを用いた光電変換素子部の一つとして、pin型の非晶質シリコンフォトダイオード（以下「a-SiPD」と称する）があげられる。図5は、pin型a-SiPDの層構成の一例を示す断面図であり、基板1上に下部電極層2、光電変換層であるn層3、i層4及びp層5の各層、ならびに上部電極層6が順次積層されている。ここで、n層3及びp層5は、i層4と金属からなる電極層2、6との電位障壁を緩和するためのドーピング処理によって導電率が高くなっており、ドーピング層と称される。

【0004】ところで、以上のようなa-SiPDの複数配列を有するラインセンサでは、隣接受光部間の素子分離が必要となる。この素子分離にあたっては、各受光部の個別信号線の次素子への接続し易さなどから、一般的には図6のように下部配線層（電極層）2及び該下部配線層に接するドーピング層3を個々の素子毎に分離している。しかし、この方法は光電変換層の成膜中にパターニングの工程を必要とするので、ドーピング層3とi層4との界面にコンタミネーションが生じ易く、その影響により素子特性が劣化し、また素子部と素子間部との段差により下部配線層2と接するドーピング層3より上部の層は均一な厚みに成膜しにくい等の問題があった。

【0005】図7のようにフォトダイオードを構成する層全てにパターニング処理を施す方法もあるが、a-Si層特にi層4の側面がエッチャントに浸されたり、作製工程中に大気雰囲気中に晒されてしまうこと等によりリーク電流が増加する等のセンサ性能の劣化を生じるという問題を呈していた。

【0006】また、図8の様にフォトダイオードを素子分離する際に上部配線層（電極層）6とドーピング層5とを同形状にパターニングすることにより工程を簡略化できるが、一般に上部配線層6の材料よりもドーピング層5の材料の方がよりエッチングされやすいために、実際には図9に示すように上部配線層6の下部のドーピング層5の端部がオーバーエッチングされて、金属上部配線層6の端部が変形し、最悪の場合には直接i層4と接触してリーク電流を増加させるという問題を呈していた。

【0007】一方、高密度画像読取りのため各光電変換素子部を微小化し単位長さあたりに配列される光電変換素子部の数を多くすることが要求されている。この様に各光電変換素子部の面積が小さくなると、出力信号が小さくなるために光電変換素子部の近傍で光電変換信号を増幅するのが好ましい。図10は、MISトランジスタ

による増幅機能を有する蓄積動作型の光電変換装置の一例を示すものである。フォトダイオード23で発生した信号電荷をMISトランジスタ21により増幅し、読出し終了後にリセットトランジスタ22によって不要な信号電荷をリセットする方式となっている。

【0008】ところで、多数の光電変換素子部から個々の正確な光電変換信号を取出すためには、フォトダイオードを個々の光電変換素子部ごとに電気的に分離する必要がある。図11に従来のラインセンサの一例の平面図を示す。図12はそのA-A'断面図である。フォトダイオード23は他の光電変換素子部のフォトダイオードとは分離されており、増幅用トランジスタ21はフォトダイオード22の横に位置し、コンタクトホールを介して接続されている。このように、フォトダイオード23は成膜後にエッチング等の方法によって隣接光電変換素子部のフォトダイオードと素子分離している。

【0009】しかるに、高密度画像読取りのための光電変換素子部の微小化にともない高精度のエッチング技術が要求されるが、非晶質シリコン等の非単結晶シリコンをエッチングして素子分離する際には次のような問題点がある：(1)ドライエッチング法を用いる場合、プラズマを用いたエッチング法では、エッチング端面にプラズマによるダメージを受け、暗電流の増加など光電変換素子特性の劣化をもたらす；(2)ウェットエッチング法を用いる場合、等方性エッチングのために10000Å前後の厚い層の場合には、サイドエッチングの影響を考慮せねばならない；(3)不純物ドーピング層は、エッチングレートが変動するために、例えばpin構造やpi構造を一括してエッチングしようとする、制御が難しく、オーバーエッチやアンダーエッチが生じやすい；さらに、高密度化、高機能化によって光電変換素子部の面積を小さくしつつ性能を向上させるために開口率（一光電変換素子部中のフォトダイオードの有効面積）を大きくすることが必須となっている。また、高密度化によりさらに微弱になった光電信号に対する、増幅回路に入る前の配線の引き回しによる抵抗や浮遊容量の影響も無視できなくなってくる。

【0010】本発明は、以上の様な従来技術の問題点を解決し、素子分離に基づく特性劣化が殆どない光電変換装置を提供することを目的とするものである。更に、本発明は、以上の様な従来技術の問題点を解決し、高密度画像読取りに適用して良好な光電変換特性を得ることのできる光電変換装置を提供することを目的とするものである。

【0011】

【課題を解決するための手段及び作用】本発明によれば、上記目的は、基板上に複数の光電変換素子部を有し、該光電変換素子部がフォトダイオードを光電変換層として含んでいる光電変換装置において、基板上の下部電極層と該下部電極層上の光電変換層の少なくとも一部とが

複数の光電変換素子部について共通化されており、該光電変換層がドーピング層を含み、該ドーピング層上に上部電極層が形成されており、これらドーピング層及び上部電極層が光電変換素子部ごとに個別化されており、且つ各光電変換素子部にて上記ドーピング層が基板面法線方向からみて上記上部電極層よりも外側まで張出していることを特徴とする光電変換装置、により達成される。

【0012】本発明において、上記フォトダイオードの光電変換層は好ましくは非晶質半導体例えば非晶質シリコンからなる。また、上記フォトダイオードは好ましくはpin構造である。

【0013】更に、本発明によれば、上記目的は、基板上に光電変換素子部と該光電変換素子部からの信号を増幅する増幅素子部とを有し且つ上記光電変換素子部がフォトダイオードを光電変換層として含んでおり上記増幅素子部がMIS型トランジスタからなる光電変換装置において、上記光電変換素子部が増幅素子部上に配置されており、しかも該増幅素子部のMIS型トランジスタのゲート電極層と上記光電変換部のフォトダイオードの下部電極層とが共通化されていることを特徴とする光電変換装置、により達成される。

【0014】本発明において、上記光電変換素子部と増幅素子部との組を複数設け、上記フォトダイオードの光電変換層及び上部電極層を複数の光電変換素子部について共通化することができる。また、上記MIS型トランジスタのゲート電極層をn型多結晶半導体例えばn型ポリシリコンからなるものとし、上記フォトダイオードの光電変換層をi型非単結晶半導体層と該i型非単結晶半導体層上のp型非単結晶半導体層とからなるものとすることができる。更に、上記MIS型トランジスタのゲート電極層をp型多結晶半導体例えばp型ポリシリコンからなるものとし、上記フォトダイオードの光電変換層をi型非単結晶半導体層と該i型非単結晶半導体層上のn型非単結晶半導体層とからなるものとすることができる。

【0015】この発明においては、増幅素子部のMIS型トランジスタのゲート電極層上に光電変換素子部のフォトダイオードが存在するため、増幅素子部を光電変換素子部の横に配置した場合よりも開口率が向上し、さらにフォトダイオードとMIS型トランジスタとの間の配線を最短にできるため配線抵抗や浮遊容量の影響を低下させることができる。また、MIS型トランジスタのゲート電極層の膜厚はフォトダイオード層より薄くてよく、このゲート電極層を形成する工程で既に光電変換素子部の下部電極層を分離することができ、かくして光電変換素子部の光電変換層及び上部電極層をエッチングで分離することなく電気的に素子分離でき、このエッチングによる悪影響がなくなる。

【0016】

【実施態様例1】図1は本発明の光電変換装置の一例た

るラインセンサを示す断面図である。同図において、1は絶縁性基板である。非晶質シリコンは下地の基板への依存度が小さいため、基板1としては例えばガラスやセラミックなどを用いることができる。2は複数のセンサに共通した電位を与える電極（下部電極層）で、絶縁性基板1上に成膜可能な導電率の高い材料であれば良く、例えばAl、Cr等の金属や多結晶の半導体（Si、SiGe、SiC等）が用いられる。また、絶縁性基板1として光透過性の高い材料を用い、下部電極層2としてITO、TiO₂、In₂O₃、SnO₂、CrO₂等の光透過性の高い材料を用いれば、絶縁性基板1の下側から光入力を受ける構造のラインセンサにも対応できる。下部電極層2上に、適宜の非晶質材料（Si、Ge、SiGe、SiC等）による適宜の層構成の半導体層4'（ドーピング層5を含む）及び上部電極層（材料は前記下部電極層と同様）6を形成した後に、まず上部電極層6にパターニング処理を施した後、ドーピング層5をパターニングする。これらパターニングに際して基板1と垂直の方向（基板面法線方向）から見て上部電極層6の縁部がドーピング層5の縁部より距離だけ内側に位置するようにする事により、電気的に個々のフォトダイオードを素子分離してフォトダイオードアレイとして完成する。

【0017】

【実施例1】本発明による光電変換装置の実施例としての、pin型a-SiPDを用いたラインセンサの製造実施例を図2に基づき説明する。図2において、1はガラス基板であり、2はCr下部電極層であり、3はn型半導体層であり、4はi型半導体層であり、5はp型半導体層であり、6はITO上部電極層である。

【0018】まず、コーニング社製の#7059ガラス基板1上に蒸着装置によりCr下部電極層2を形成し、各フォトダイオードの共通な電極となるような形状にフォトリソグラフィ法によりパターニングした。次に容量結合型の堆積膜形成装置のアノード電極に基板1を取付け、堆積室内を約10⁻⁶Torrに排気し、ヒーターにより該基板を300℃前後に加熱した。該加熱温度は50℃～600℃の範囲内とすることができ、好ましくは150℃～400℃の範囲内とすることができる。基板が所定の温度になった後に、n型半導体層3を堆積するための原料ガスとしてシランガスSiH₄を30SCCM、及び水素ガスH₂で500ppmに希釈したフォスフィンガスPH₃を30SCCMの流量で用いてn型半導体層3を300Å厚に形成し、引き続いてi型半導体層4を堆積するための原料ガスとしてシランガスSiH₄を30SCCMの流量で用いてi型半導体層4を8000Å厚に形成し、更に連続してp型半導体層5を堆積するための原料ガスとしてシランガスSiH₄を30SCCM、及び水素ガスH₂で500ppmに希釈したジボランガスB₂H₆を30SCCMの流量で用いてp

型半導体層5を200Å厚に形成した。さらに基板を蒸着装置に設置しITOを成膜した後、フォトリソグラフィ法により所定の形状にパターニングして上部電極層6を形成した。その後上部電極層6と接するドーピング層であるp型半導体層5をフォトリソグラフィ法により各々のフォトダイオードに分離すべく所定の形状にパターニングした。このとき基板と垂直の方向から見て上部電極層6の縁部がp型半導体層5の縁部よりもL=3μmだけ内側になるようにした。

【0019】かかる方法にて作製したラインセンサの各フォトダイオードは、下部電極層2が各素子毎にエッチングされず平坦であるために半導体層3～6は凹凸が無く膜厚の安定した膜となり特性が安定し、またi層4の端面部を露出することなく素子分離が可能となりリーク電流の発生が防止され、従来のセンサと比して逆方向暗電流値が約一桁低減した。更に、ドーピング層5のサイドエッチに起因する上部電極層6の変形によるリーク電流を構造的に防止できた。また、出力信号の素子間リークも少なく、特別に遮光窓等を設ける事なく安定した出力信号が得られた。

【0020】

【実施態様例2】図3は本発明の光電変換装置の一例たるラインセンサの平面図であり、図4はそのA-A'断面図である。これらの図において、1は絶縁基板であり、13は光電変換素子部であり、11は増幅素子部であり、12はリセットトランジスタである。光電変換素子部13は、n型ポリシリコン下部電極層103、i型非晶質シリコン層105、p型微結晶シリコン層106及び透明上部電極層107を含んでなる。また、増幅素子部11は、n型ポリシリコンのゲート電極層103、ソース電極層110及びドレイン電極層111を含んでなる。尚、102、108は絶縁層であり、104は配線用導体層である。以上の様に、本発明では、増幅素子部のMIS型トランジスタのゲート電極（n型）103を光電変換素子部の下部電極層（n層）103と共通化している。そして、該下部電極層上に形成されるi型層105及びp型層106を複数の光電変換素子部について共通化されている（図3には1つの光電変換素子部が示されている）。

【0021】光電変換素子部のフォトダイオードを形成する半導体材料としては、非単結晶（多結晶、微結晶または非晶質）の半導体が使用され、このうち微結晶または非晶質の半導体を用いる場合は光入射側の電極（上部電極）として光生成キャリアを収集するための透明電極層が必要である。半導体材料の種類としては、光電変換層に多結晶または微結晶半導体としてSi、SiGe、SiC等が、非晶質半導体として水素化アモルファスシリコン（a-Si）系合金やカルコゲナイド系材料があげられる。アモルファスシリコン系合金ではa-Si:H、a-SiGe:H、a-SiC:H、a-SiN:

H, a-SiO:H及びa-GeC:H等が利用される。多結晶半導体を用いたフォトダイオードの上部電極層は高濃度不純物層であり、信号電荷として利用するキャリアに応じて、電子の場合にはp型、ホールの場合にはn型の高濃度不純物層となる。また、ショットキー型またはMIS型の場合には上部電極層は透明電極となりその仕事函数が光電変換層の仕事函数より大きい場合は電子、小さい場合はホールを信号電荷のキャリアとして利用することとなる。これは光電変換層が微結晶または非晶質半導体の場合も同じである。また、微結晶または非晶質半導体を光電変換層として用いる場合にはpin型素子を考える場合上部電極には高濃度不純物層及び透明電極層の2層で構成される。多結晶半導体の場合と同様に高濃度不純物層は信号キャリアが電子の場合はp型、ホールの場合はn型となる。透明電極としては、ITO, SnO₂, ZnO₂等が用いられる。

【0022】光電変換素子部の下部電極層としては多結晶の半導体を用いることができ、その型は信号電荷として用いられるキャリアが電子の場合はn型、ホールの場合はp型となる。該下部電極層を構成する多結晶半導体材料の種類としては、半導体としてSi, SiGe, SiC等が挙げられる。本発明においては、前記光電変換素子部の下部電極層と前記MIS型トランジスタのゲート電極層とが共通化されているために、前記光電変換素子部の下部電極層の導電型に応じ、増幅素子部のMIS型トランジスタのタイプが決まる。即ち、下部電極層がn型の場合はn-MOS、p型の場合はp-MOSとなる。

【0023】尚、本発明において、光電変換素子部の下部電極層として金属たとえばAl, Cr, Pt, Pd, Niやこれらの合金等を用いることもできる。

【0024】MIS型トランジスタの活性層の半導体材料としては、キャリアの高移動度が要求されるため多結晶半導体または単結晶半導体を用いられる。MIS型トランジスタの絶縁膜には半導体層の酸化による酸化膜あるいはプラズマCVDやスパッタリング法等によるSiNx, SiOx, SiOxNy等が用いられる。また、リセットトランジスタとしてMIS型トランジスタを用いることができ、これについても増幅素子部と同様な材料及び構成を採用することができる。

【0025】

【実施例2】本発明による光電変換装置の実施例としての図3及び図4の光電変換装置の製造実施例を図2に基づき説明する。

【0026】まず石英基板1上に、通常のLP-CVD法によりガス流量SiH₄ 50SCCM、基板温度620℃、内圧0.3Torrの条件で30分間堆積を行ない、ポリシリコン層101を3000Å厚に形成した。このポリシリコン層に、通常のイオン打ち込みによりドー

ンを全面に打ち込み、その後N₂ 雰囲気下800℃でアニールを行うことによってB⁻イオンの拡散を行ないポリシリコン層101をp型とした。さらに通常のフォトリソグラフィ工程により、ポリシリコン層101を所望の形状にパターニングした。続いて通常の常圧CVD法によりガス流量10%水素希釈SiH₄ 50SCCM、O₂ 60SCCM、基板温度400℃の条件で1分間堆積を行ない、SiO₂ 絶縁層102を1000Å厚に形成した。

【0027】次に再び通常のLP-CVD法により、ガス流量SiH₄ 50SCCM、基板温度620℃、内圧0.3Torrの条件で30分間堆積を行ない、ポリシリコン層103を3000Å厚に形成した。そして通常のイオン打ち込みによりポリシリコン層103にドー

量 $8 \times 10^{11} \text{ cm}^{-2}$ 、60keVの条件でB⁻イオンを全面に打ち込み、その後N₂ 雰囲気下800℃でアニールを行うことによってB⁻イオンの拡散を行い、上記ポリシリコン層103をp型とした。更に通常のフォトリソグラフィ工程により、ポリシリコン層103を所望の形状にエッチングした。さらに通常のフォトリソグラフィ工程により、SiO₂ 層102を所望の形状にパターニングし、アンプMOSトランジスタのソース電極層110及びドレイン電極層111に対応する位置に電極取出し用の開口部を形成し、ポリシリコン層を露出させた。この後通常のイオン打ち込みにより、ドー

量 $5 \times 10^{15} \text{ cm}^{-2}$ 、160keVの条件でP⁺イオンを全面に打ち込み、その後N₂ 雰囲気下800℃でアニールを行うことによってP⁺イオンの拡散を行い、ポリシリコン層103及びポリシリコン層101の露出部分をn⁺型とし、アンプMOSトランジスタのソース電極層110及びドレイン電極層111、ならびにアンプMOSトランジスタのゲート電極層兼光電変換素子部の下部電極層103を形成した。続いてスパッタ法により厚さ1000ÅのAl膜104を形成し、その後通常のフォトリソグラフィ工程により所望の形状にパターニングして配線用導体層104とした。この後通常のプラズマCVD法によりガス流量Si₂H₆ 1.0SCCM、H₂ 48SCCM、基板温度300℃、内圧1.15Torr、RFパワー1.0Wの条件で140分間放電を行ない、非ドーブ(i型)のa-Si:H層105を8000Å厚に形成し、続けて真空を維持しながらガス流量SiH₄ 0.1SCCM、H₂ 74.5SCCM、10%水素希釈のBF₃ 0.4SCCM、基板温度200℃、内圧2.0Torr、RFパワー33Wの条件で20分間放電を行ない、p型の微結晶シリコン層106を1000Å厚に形成した。さらにスパッタ法により厚さ700ÅのITO膜107を形成し、通常のフォトリソグラフィ工程により所望の形状にパターニングして透明上部共通電極層107を形成した。さらに、通常のフォトリソグラフィ工程により微結晶シリコン層106

及びa-Si:H層105を所望の形状にパターニングし光電変換素子部13を形成した。これらITO膜107、微結晶シリコン層106及びa-Si:H層105の所望の形状とは、個々の光電変換素子部ごとに分離するものではなく、図3に示す様に、隣接素子部と共通になる様にA-A'方向と直交する方向に延びており、各素子部においては光電変換素子部の下部電極層103を覆っている。これにより、エッチング端面の悪影響を回避することができる。また、図4に示す様に、基板1と垂直の方向から見て上部電極層107の縁部がp型の微結晶シリコン層106の縁部よりも内側になるようにすることにより、上記実施例1と同様の効果が得られる。

【0028】最後に通常の常圧CVD法により、ガス流量10%水素希釈SiH₄ 50SCCM、O₂ 60SCCM、基板温度400℃の条件で10分間堆積を行ない、SiO₂絶縁層108を10000Å厚に形成し、光電変換装置を得た。

【0029】

【発明の効果】以上説明したように、本発明によれば、各層の厚さを安定化させ且つ上部電極層の変形を防止しリーク電流を増加させることなく素子分離を行うことができ、かくして素子分離に基づく特性劣化が殆どない光電変換装置を提供することができる。

【0030】また、本発明によれば、開口率を向上させることができ、寄生容量や配線抵抗の影響を最小にして光電変換素子部から増幅素子部へと信号伝達することが可能となり、このことは低ノイズ化のみならずラインセンサの高速化への対応をも可能とする。

【図面の簡単な説明】

【図1】本発明による光電変換装置の断面図である。

【図2】本発明による光電変換装置の断面図である。

【図3】本発明による光電変換装置の平面図である。

【図4】図3のA-A'断面図である。

【図5】従来の光電変換装置の断面図である。

【図6】従来の光電変換装置の断面図である。

【図7】従来の光電変換装置の断面図である。

【図8】従来の光電変換装置の断面図である。

【図9】従来の光電変換装置の断面図である。

【図10】MISトランジスタによる増幅機能を有する蓄積動作型の光電変換装置の一例を示すものである。

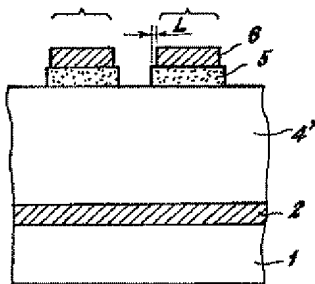
【図11】従来の光電変換装置の平面図である。

【図12】図11のA-A'断面図である。

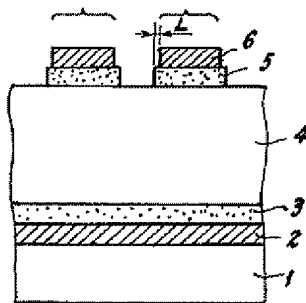
【符号の説明】

- 1 絶縁基板
- 2 下部電極層
- 3, 5 ドーピング層
- 4 i層
- 4' 半導体層
- 6 上部電極層
- 11, 21 増幅素子部
- 12, 22 リセットトランジスタ
- 13, 23 光電変換素子部
- 102, 108 絶縁層
- 103 下部電極層(ゲート電極層)
- 104 配線用導体層
- 105 i層
- 106 ドーピング層
- 107 透明上部電極層
- 110 ソース電極層
- 111 ドレイン電極層

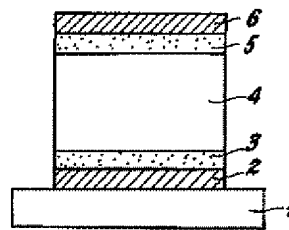
【図1】



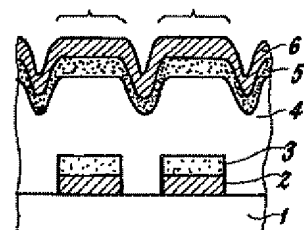
【図2】



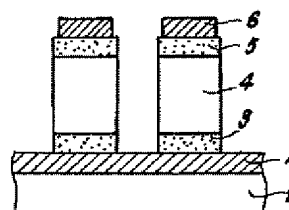
【図5】



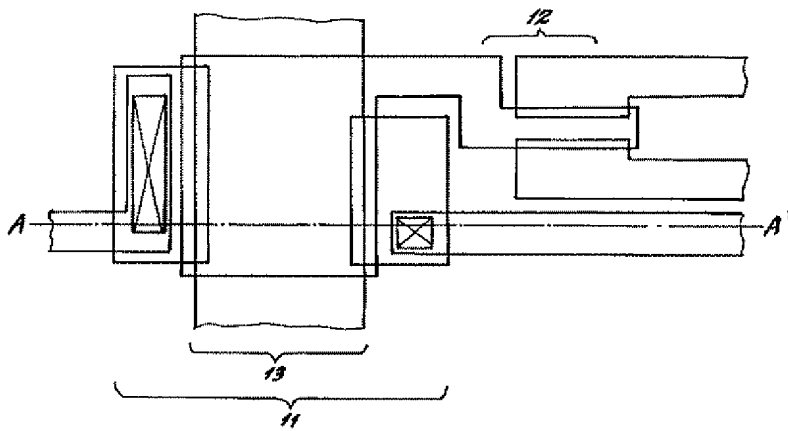
【図6】



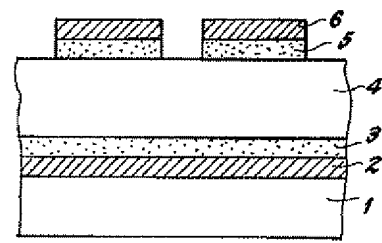
【図7】



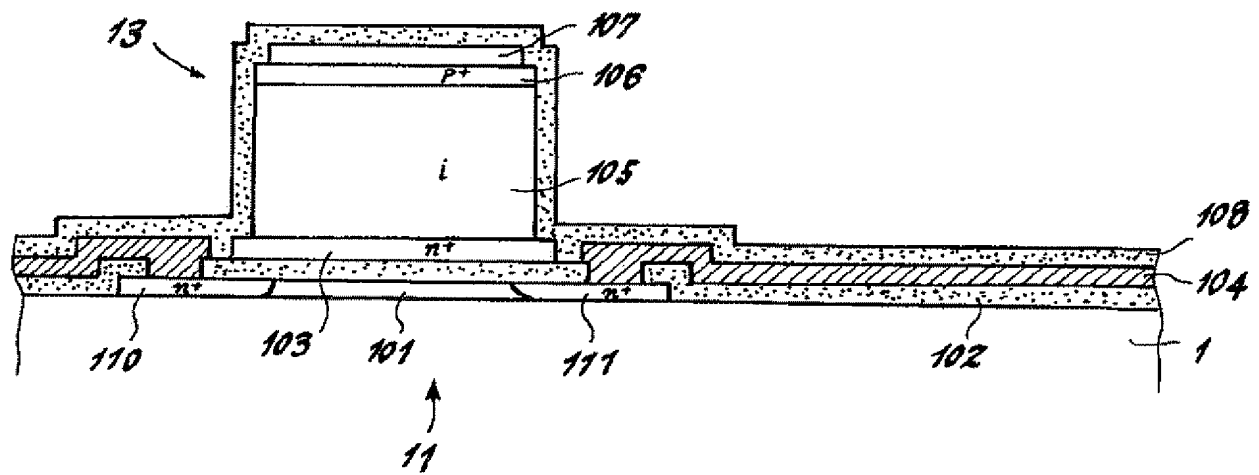
【図3】



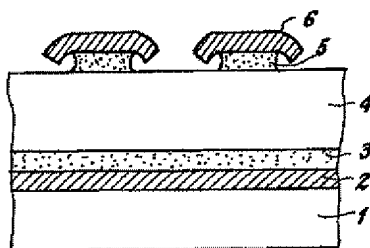
【図8】



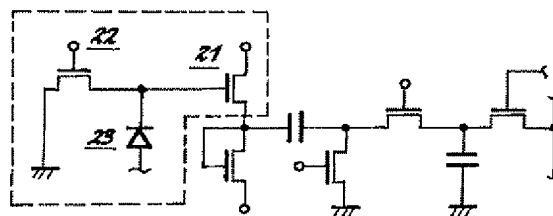
【図4】



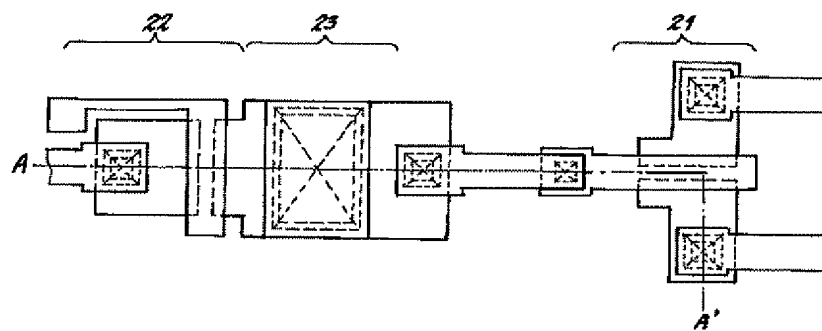
【図9】



【図10】



【図11】



【図12】

